

MANUFACTURE OF HIGH-WITHSTAND VOLTAGE MOS SEMICONDUCTOR DEVICE

2534508

Patent Number: JP1042862
Publication date: 1989-02-15
Inventor(s): MOROZUMI YUKIO
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP1042862
Application Number: JP19870200261 19870811
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents: JP2534508B2

Abstract

PURPOSE: To rationalize a process, to eliminate crystal defect and to contrive the improvement of electrical characteristics and the improvement of a yield by a method wherein the implantation of a high-concentration impurity is performed through an Si oxide film and sidewalls consisting of the Si oxide film are prevented from being formed on the side surfaces of a gate electrode.

CONSTITUTION: An oxidation-resistant film 123 is patterned, an impurity is ion-implanted in channel stoppers 102 and drain low-concentration impurity regions 103, an Si substrate 101 is selectively oxidized using the film 123 as a mask and the film 123 is removed. Then, a gate oxide film 105 and a gate electrode are formed and after source and drain high-concentration impurity regions 119 and 109 are formed, the surface, which is located on the regions 119 and 109, of the substrate 101 is perforated. Moreover, a metal layer or its silicide layer is formed on the gate electrode and the regions 119 and 109 pinching selective oxide films 104 between them in a self-alignment manner. Thereby, the improvement of electrical characteristics can be contrived and the improvement of a yield can be contrived by a reduction in the side and the rationalization of process.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2534508号

(46) 発行日 平成 8 年 (1996) 9 月 18 日

(24) 登録日 平成 8 年 (1996) 6 月 27 日

(51) Int. Cl.

識別記号

序内整理番号

P I

技術表示箇所

H 0 1 L 29/78
21/336

H 0 1 L 29/78

3 0 1 P

発明の数 1 (全 5 頁)

(21) 出願番号 特願昭62-200261

(22) 出願日 昭和62年(1987) 8 月 11 日

(65) 公開番号 特開平1-42862

(43) 公開日 平成 1 年 (1989) 2 月 15 日

(73) 特許権者 999999999

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 西角 幸男

長野県諏訪市大和 3 丁目 3 番 5 号 セイ

コーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外 1 名)

審査官 岡 和久

(56) 参考文献 特開 昭56-8849 (J P, A)

特開 昭58-87855 (J P, A)

特開 昭57-197868 (J P, A)

(54) 【発明の名称】 高耐圧MOS型半導体装置の製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 (a) 半導体基板表面にシリコン酸化膜を形成する工程、

(b) 前記シリコン酸化膜上にシリコン窒化膜を堆積した後、前記シリコン窒化膜を所望形状にパターニングする工程、

(c) 前記シリコン窒化膜をマスクとしてオフセットとなる領域に低濃度不純物領域を形成する工程、

(d) 前記シリコン窒化膜をマスクとして、フィールドとなる領域と前記オフセットとなる領域上とに同時に選

択酸化膜を形成する工程、

(e) 前記シリコン窒化膜及び前記シリコン酸化膜を除去する工程、

(f) 前記選択酸化膜を含む前記半導体基板上にゲート酸化膜を形成した後、前記オフセット領域上の選択酸化

2

膜上の一部のゲート酸化膜上と前記オフセット領域間の前記ゲート酸化膜上とにゲート電極を形成する工程、

(g) 前記ゲート電極及び前記選択酸化膜をマスクとし、前記半導体基板中に前記ゲート酸化膜を通して不純物を注入することにより、高濃度不純物領域を形成する工程、

(h) 前記高濃度不純物領域上の前記ゲート酸化膜をフッ酸を用いて除去する工程、

(i) 前記選択酸化膜を含む前記半導体基板上に金属膜を形成する工程、

(j) 窒素中でのランプアニール処理によって、前記高濃度不純物領域上をシリサイド化するとともに、前記選択酸化膜上の金属を窒化させる工程、

(k) 前記選択酸化膜上の前記窒化された金属を除去する工程、

(1) 前記(k)工程の後、ランプアニール処理によって、さらに前記高濃度不純物領域上をシリサイド化させる工程、
を有することを特徴とする高耐圧MOS型半導体装置の製造方法。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、少なくともソース、ドレイン領域にセルフアライン的に金属あるいはそのシリサイド(ケイ化物)が形成された高耐圧MOS型半導体装置の製造方法に関する。

【従来の技術】

従来、高耐圧MOS半導体装置は、大電力化、高密度化を図る為にコンタクト抵抗や配線抵抗を下げる事を必要とし、ソース、ドレイン領域にセルフアライン的に金属シリサイドを形成させている。

その製造方法は、例えば第2図(a)の様にP型シリコン基板201上に、薄い第1のシリコン酸化膜とシリコン窒化膜を形成してパターニング後、P型チャンネルストッパー202と、ドレインの高濃度不純物領域とフィールド間に第1のN型低濃度不純物領域203をイオン注入で形成した後、高温酸化して8000Åの選択酸化膜204をフィールドに成長し、前記シリコン窒化膜と第1のシリコン酸化膜を除去した後ゲート酸化膜205を形成し、イオン注入でチャンネルドープをしてスレッシュホールド電圧を調整した後、不純物がドープされた多結晶シリコン膜206をフォトリソエッチングしてゲート電極とする。次に、チャンネル215と高濃度ドレイン間にオフセットをとる為、リンをイオン注入し第2の低濃度不純物領域207形成してから、更に気相成長シリコン酸化膜208を8000Å堆積する。

次に、第2図(b)の様に、RIE(Reactive Ion Etcher)で異方性エッチングして気相成長シリコン酸化膜208の側壁を残して、該側壁とゲート電極の多結晶シリコン膜206及び選択酸化膜204をマスクにして、ヒ素やリンの様なN型不純物をイオン注入してソース、ドレイン高濃度不純物領域219、209を形成後、活性化処理を施す。

次に第2図(c)の様に、チタン230を約700Åスパッタしてから10 Torr気圧のハロゲンランプ炉で約700°Cのアニールをし、露出しているシリコン上のチタンをモノシリサイド化させ、シリコン酸化膜上のチタンを窒化チタンにさせる。

次に第2図(d)の様に、例えばアンモニア水と過酸化水素水の混合溶液でケミカルエッチングするとシリコン酸化膜上の窒化チタンのみ選択的に除去され、再びハロゲンランプ炉で約850°Cのアニールをしてダイシリサイド化させると、高濃度ソース、ドレイン領域219、209とゲート電極上にチタンシリサイド220、210、あるいはポリシリサイド211がセルフアライン的に形成される。

次に第2図(e)の様に、層間絶縁膜212を気相成長し所望スルーホールを設け、金属配線213を施し、パシベーション膜214を堆積して、外部電極取り出し孔を開ける。

【発明が解決しようとする問題点】

しかしながら従来の技術では、まず、ゲート電極と高濃度ソース、ドレインを分離してセルフアライン的にシリサイドとする為に気相成長シリコン酸化膜の側壁を形成しなくてはならないが、気相成長、エッチング等工程が複雑で寸法制御性も悪い。又、側壁形成の際、RIEで全面異方性エッチング行なうが、終点制御が困難でソース、ドレインのシリコン基板表面まで喰われる事や、ソース、ドレインのシリコン基板表面に直接高濃度不純物がイオン注入される為に、結晶欠陥による接合リークが発生する。尚、側壁形成の時ソース、ドレイン上に酸化膜を残す様にすると厚み制御が難しく、チタンスパッタ前にフッ素の様なケミカルエッチを施して高濃度ソース、ドレイン上のシリコン基板を開孔しなくてはならないが、残膜の厚い部分でエッチング時間を決めるので側壁が除去されてしまう所もあり、ソース、ドレインとゲート電極分離が困難となったり、ドレイン耐圧の低下、ばらつきとなる。本発明は、この様なかかる問題点を解決するもので、電気特性の改善、縮小化と工程合理化による歩留り向上を図った高耐圧MOS型半導体装置の製造方法を提供するものである。

【問題点を解決するための手段】

本発明の高耐圧MOS型半導体装置の製造方法は、

(a) 半導体基板表面にシリコン酸化膜を形成する工程、(b) 前記シリコン酸化膜上にシリコン窒化膜を堆積した後、前記シリコン窒化膜を所望形状にパターニングする工程、(c) 前記シリコン窒化膜をマスクとしてオフセットとなる領域に低濃度不純物領域を形成する工程、(d) 前記シリコン窒化膜をマスクとして、フィールドとなる領域と前記オフセットとなる領域上とに同時に選択酸化膜を形成する工程、(e) 前記シリコン窒化膜及び前記シリコン酸化膜を除去する工程、(f) 前記選択酸化膜を含む前記半導体基板上にゲート酸化膜を形成した後、前記オフセット領域上の選択酸化膜上の一部のゲート酸化膜上と前記オフセット領域間の前記ゲート酸化膜上とにゲート電極を形成する工程、(g) 前記ゲート電極及び前記選択酸化膜をマスクとし、前記半導体基板中に前記ゲート酸化膜を通して不純物を注入することにより、高濃度不純物領域を形成する工程、(h) 前記高濃度不純物領域上の前記ゲート酸化膜をフッ酸を用いて除去する工程、(i) 前記選択酸化膜を含む前記半導体基板上に金属膜を形成する工程、(j) 室系中でのランプアニール処理によって、前記高濃度不純物領域上をシリサイド化するとともに、前記選択酸化膜上の金属を窒化させる工程、(k) 前記選択酸化膜上の前記窒化された金属を除去する工程、(l) 前記(k)工程の

後、ランプアニール処理によって、さらに前記高濃度不純物領域上をシリサイド化させる工程、を有することを特徴とする。

【実施例】

第1図(a)～(e)は、本発明の一実施例による高耐圧MOSトランジスタの製造工程について説明する為の概略断面図である。

第1図(a)の様に、比抵抗約 $10\Omega\text{cm}$ のP型シリコン基板101に800Å第1のシリコン酸化膜122を成長させてから約1500Åのシリコン窒化膜123を堆積させた後、該シリコン窒化膜123を所望形状にフォトリソグラフィでエッチングし、前記シリコン窒化膜123あるいはフォトリソグラフィをマスクにしてチャンネルストッパー領域102にボロンを、次にフィールドと高濃度ドレイン間の第1の低濃度不純物領域103、チャンネル115と高濃度ドレイン間の第2の低濃度不純物領域(オフセット)107にリンを同時にイオン注入した後、1000℃で水蒸気酸化をして約8000Åの選択酸化膜104をフィールド及びチャンネル115の両端に形成させ、その幅は2μmとした。ドレイン耐圧はリンのイオン注入量や、第1の低濃度不純物領域103の有無により変化させる事が出来る。

次に第1図(b)の様に、シリコン窒化膜123と第1のシリコン酸化膜122を除去した後、約1000Åのゲート酸化膜105とゲート電極となるリンドープの多結晶シリコン膜106を形成してから、多結晶シリコン膜106と選択酸化膜104をマスクにソース、ドレインの高濃度不純物領域119、109にゲート酸化膜を通してN型不純物リンを $3\times 10^{19}\text{cm}^{-3}$ イオン注入し、不純物活性化の為950℃20分の窒素雰囲気中で熱処理を施す。この時高濃度不純物の注入はシリコン酸化膜を通して行なわれるので、結晶欠陥は生じなくなった。

次に第1図(c)の様に、ソース、ドレインの高濃度不純物領域119、109上のゲート酸化膜105をセルフアライン的にフッ酸でエッチングしてシリコン基板表面を露出してから、チタン130を約700Åスパッタした後、700℃のハロゲンランプで窒素アニールすると、高濃度ソース、ドレイン119、109のシリコン基板や多結晶シリコン膜106の表面のチタンはモノシリサイド化されて、選択酸化膜104上は窒化チタンとなる。尚高濃度ソース、ドレイン領域のシリコン基板表面を露出させる時、ゲート酸化膜はフッ酸でエッチングするので、シリコン基板に対するダメージもなく、エッチング時間の再現性も良い。

次に第1図(d)の様に、例えば、過酸化水素水とアンモニア水の混合液に浸漬すると、窒化チタンは除去され、チタンのモノシリサイドのみ選択的に残り、これを

再び800℃のハロゲンランプアニールするとダイシリサイド化され、ソース、ドレインの高濃度不純物領域119、109上にはシート抵抗 $3\Omega/\square$ 以下のチタンシリサイド120、110およびチタンポリサイド111が得られる。

次に第1図(e)の如く、層間絶縁膜112を気相成長させ、コンタクトホールを設けた後、アルミニウムの金属配線113を施し、その後リンを含む気相成長シリコン酸化膜でなるパシベーション膜114を掛け、外部への電極取り出し孔を開けている。

10 以上のようにして、高耐圧MOSトランジスタが形成される。尚、実施例ではMOS構造のトランジスタについて示したが、PchあるいはCMOS構造にも適用出来、又シリサイドつまりケイ化物には、チタンに限らずタングステン、モリブデン、ニオブ、タンタル、フラチナ、コバルトのような金属でも応用可能であり、N型不純物もリンに限定されない。

【発明の効果】

以上のように本発明によれば、ゲート電極の側面にシリコン酸化膜の側壁形成が不要で工程が合理化される。又これに伴うダメージ、結晶欠陥もなく、電気特性や信頼性の向上が図れ、歩留りの良い、特にセルフアラインシリサイド(サリサイド)構造の高耐圧MOS型半導体装置の安定供給に寄与出来るものである。

【図面の簡単な説明】

第1図(a)～(e)は、本発明の実施例による半導体装置製造工程の概略断面図である。

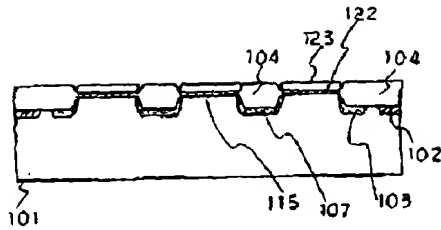
第2図(a)～(e)は、従来の半導体装置製造工程を示す概略断面図である。

- 101、201……シリコン基板
- 102、202……チャンネルストッパー
- 103、203……第1の低濃度不純物領域
- 104、204……選択酸化膜
- 105、205……ゲート酸化膜
- 106、206……多結晶シリコン膜
- 107、207……第2の低濃度不純物領域
- 109、209……ドレイン高濃度不純物領域
- 110、210……ドレイン上のシリサイド
- 111、211……ポリサイド
- 112、212……層間絶縁膜
- 40 113、213……金属配線
- 114、214……パシベーション膜
- 115、215……チャンネル
- 119、219……ソース高濃度不純物領域
- 120、220……ソース上のシリサイド
- 130、230……チタン

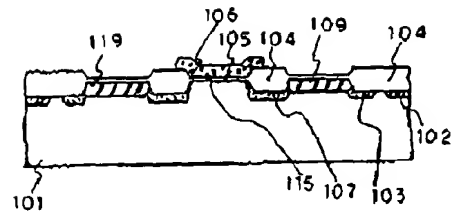
(4)

特許2534508

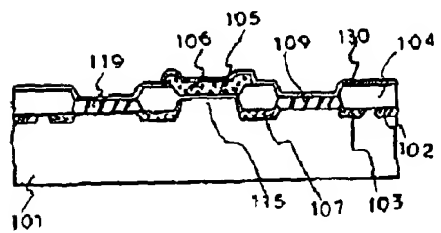
【第1図(a)】



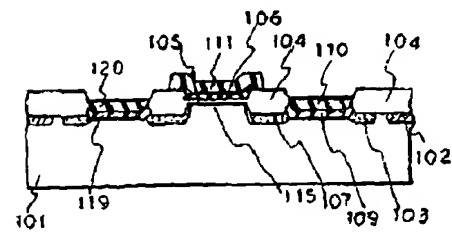
【第1図(b)】



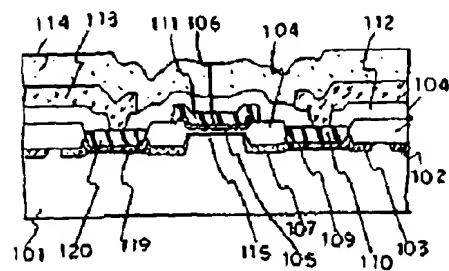
【第1図(c)】



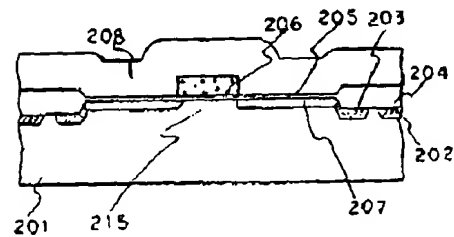
【第1図(d)】



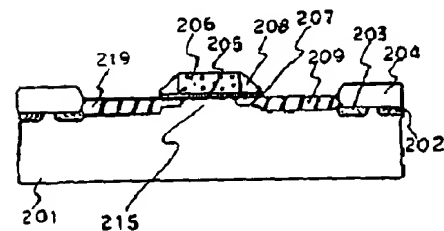
【第1図(e)】



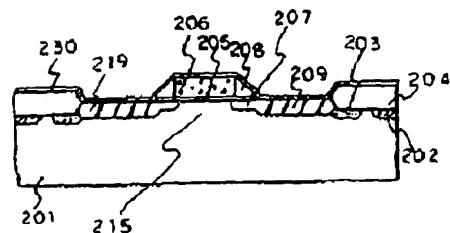
【第2図(a)】



【第2図(b)】



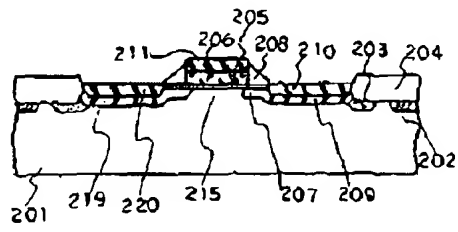
【第2図(c)】



(5)

特許2534508

【第2図(d)】



【第2図(e)】

